

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 9月25日

出願番号

Application Number:

特願2002-279937

[ST.10/C]:

[JP2002-279937]

出願人

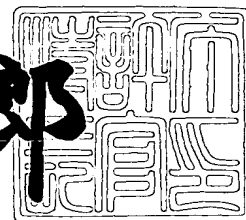
Applicant(s):

シャープ株式会社

2003年 4月25日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3030576

PATENT  
83993-000002/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Daiji KITAGAWA; Toshiya AOKI  
Application No.: NEW APPLICATION  
Filed: September 8, 2003  
For: DISPLAY DEVICE, DRIVING CIRCUIT FOR THE SAME AND DRIVING  
METHOD FOR THE SAME

---

**PRIORITY LETTER**

September 8, 2003

**MAIL STOP NEW APPLICATION**  
COMMISSIONER FOR PATENTS  
P.O. BOX 1450  
Alexandria, Virginia 22313-1450

Dear Sirs:

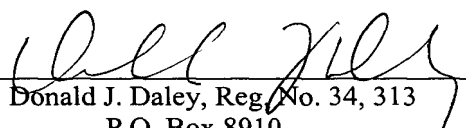
Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

| <u>Application No.</u> | <u>Date Filed</u>  | <u>Country</u> |
|------------------------|--------------------|----------------|
| JP2002-279937          | September 25, 2003 | JAPAN          |

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By   
Donald J. Daley, Reg. No. 34, 313  
P.O. Box 8910  
Reston, Virginia 20195  
(703) 668-8000

DJD/mh

【書類名】 特許願

【整理番号】 02J02679

【提出日】 平成14年 9月25日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/20

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 北川 大二

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 青木 俊也

【特許出願人】

    【識別番号】 000005049

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

    【氏名又は名称】 シャープ株式会社

【代理人】

    【識別番号】 100104695

    【弁理士】

    【氏名又は名称】 島田 明宏

【手数料の表示】

    【予納台帳番号】 114570

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0211047

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置ならびにその駆動回路および駆動方法

【特許請求の範囲】

【請求項 1】 容量性負荷を有する表示部と、バイアス電流によって決まる駆動能力を有する出力バッファとを備え、当該出力バッファが入力画像信号に応じたアナログ電圧を前記容量性負荷に印加することにより前記表示部に画像を表示する表示装置であって、

前記出力バッファが前記容量性負荷に前記アナログ電圧を印加すべき期間である充電期間または放電期間中に前記バイアス電流を変化させるバイアス電流制御手段を備えることを特徴とする表示装置。

【請求項 2】 前記出力バッファは、

前記アナログ電圧を出力するための複数のトランジスタであって互いに並列に接続されたトランジスタと、

前記複数のトランジスタのうち少なくとも 1 個のトランジスタの状態を作動状態と非作動状態との間で切り換える切換手段とを含み、

前記バイアス電流制御手段は、前記複数のトランジスタのうち動作状態のトランジスタの個数を前記切換手段によって変えることにより前記バイアス電流を変化させることを特徴とする、請求項 1 に記載の表示装置。

【請求項 3】 前記出力バッファは、

前記アナログ電圧を出力するトランジスタと、

前記トランジスタの動作点を変える動作点変更手段とを含み、

前記バイアス電流制御手段は、前記動作点変更手段によって前記トランジスタの動作点を変えることにより前記バイアス電流を変化させることを特徴とする、請求項 1 に記載の表示装置。

【請求項 4】 前記バイアス電流制御手段は、前記充電期間または放電期間において予め決められた時点以降では前記バイアス電流を当該充電期間または放電期間の開始時の値よりも小さい値とすることを特徴とする、請求項 1 に記載の

表示装置。

【請求項 5】 前記バイアス電流制御手段は、前記充電期間または放電期間において前記バイアス電流を低減すべき時点を前記入力画像信号に基づき決定し、当該決定された時点以降では前記バイアス電流を前記充電期間または放電期間の開始時の値よりも小さい値とすることを特徴とする、請求項 1 に記載の表示装置。

【請求項 6】 前記バイアス電流制御手段は、前記充電期間または放電期間において前記バイアス電流を低減すべき時点を前記出力バッファと前記容量性負荷との間に流れる充放電電流に基づき決定し、当該決定された時点以降では前記バイアス電流を前記充電期間または放電期間の開始時の値よりも小さい値とすることを特徴とする、請求項 1 に記載の表示装置。

【請求項 7】 前記バイアス電流制御手段は、前記充電期間または放電期間において前記バイアス電流を低減すべき時点として決定された前記時点以降で前記バイアス電流を完全に抑止することを特徴とする、請求項 4 から 6 のいずれか 1 項に記載の表示装置。

【請求項 8】 容量性負荷を有する表示部に画像を表示するために、バイアス電流によって決まる駆動能力を有する出力バッファにより入力画像信号に応じたアナログ電圧を前記容量性負荷に印加する駆動回路であって、

前記出力バッファが前記容量性負荷に前記アナログ電圧を印加すべき期間である充電期間または放電期間中に前記バイアス電流を変化させるバイアス電流制御手段を備えることを特徴とする駆動回路。

【請求項 9】 容量性負荷を有する表示部に画像を表示するために、バイアス電流によって決まる駆動能力を有する出力バッファにより入力画像信号に応じたアナログ電圧を前記容量性負荷に印加する駆動方法であって、

前記出力バッファが前記容量性負荷に前記アナログ電圧を印加すべき期間である充電期間または放電期間中に前記バイアス電流を変化させることを特徴とする駆動方法。

【発明の詳細な説明】

【 0 0 0 1 】

## 【発明の属する技術分野】

本発明は、例えばアクティブマトリクス型液晶表示装置のような容量性負荷の電圧制御型マトリクス駆動の表示装置に関する。

## 【0002】

## 【従来の技術】

携帯電話や、PDA (Personal Digital Assistant)、ノート型コンピュータ等の携帯用情報機器では、搭載バッテリーの持続時間の長期化の観点から、消費電力の低減化が強く求められている。一方、これらの携帯用情報機器においても処理性能の向上と利用の高度化などによって、より表示色の多い高品位の表示能力が要求されるようになってきている。このため、これらの携帯用情報機器で使用される表示装置においても、高品位の表示能力への要求に対応すべく、従来のパッシブマトリクス型液晶表示装置の代えて薄膜トランジスタ (TFT: Thin Film Transistor) によるアクティブマトリクス型液晶表示装置 (以下「TFT-LCD装置」という) が使用されはじめている。

## 【0003】

TFT-LCD装置では、容量性負荷を含む表示領域 (表示部) に画像信号に応じた電圧がデータ信号として印加されることにより、当該表示領域に画像が表示される。この表示領域に印加すべき電圧はアナログ電圧であるため、その電圧をデジタルビデオ信号から生成するD/A変換器のバッファ等、表示領域に印加すべきデータ信号であるアナログ電圧を出力するバッファ (以下、単に「出力バッファ」という) は、アナログ動作を行う必要がある。そのため、出力バッファを動作させるには、必要とされる駆動能力に応じたバイアス電流をその内部に流す必要がある。その結果、TFT-LCD装置では、その駆動回路の消費電力において出力バッファの消費電力の占める割合が大きい。上述の携帯用情報機器に組み込まれているTFT-LCD装置では、小型で画素数の少ない表示領域 (表示部) が使用され、水平走査周波数も低いことから、特に出力バッファの消費電力の占める割合が大きくなる。また、例えば連続粒界結晶シリコン (以下「CGシリコン」という) でTFTが形成されたTFT-LCD装置のように点順次駆

動が行われる場合には、表示領域に含まれる容量性負荷に対する充放電のために、線順次駆動の場合に比べて格段に高い駆動能力を有する出力バッファが必要となる。このため、点順次駆動方式のTFT-LCD装置においても、出力バッファの消費電力の占める割合が特に大きい。

【0004】

【特許文献1】

特開2002-149125号公報

【0005】

【発明が解決しようとする課題】

これに対し、特開2002-149125号公報には、表示すべき画像を示すデジタル信号をD/A変換した後のアナログ信号を受けて表示パネルのデータ線に印加すべきデータ信号（アナログ電圧）を出力するアナログバッファ（出力バッファ）を複数のデータ線毎に1個設けることにより、アナログバッファの個数を削減した構成の液晶表示装置が開示されている。この液晶表示装置では、アナログバッファ（出力バッファ）の個数が削減されることにより、省電力化が図られる。

【0006】

しかし、このような省電力化の従来技術は、出力バッファ自体の消費電力の低減は考慮されていない。また、この従来技術は、線順次駆動方式を前提としており、もともと複数のデータ線に対して1個の出力バッファが設けられる点順次駆動方式には適用することができない。

【0007】

そこで本発明では、TFT-LCD装置のようにアナログ電圧を容量性負荷に印加することによって画像を表示する表示装置であって、そのアナログ電圧を出力するバッファ自体の消費電力を低減した表示装置を提供することを目的とする

【0008】

【課題を解決するための手段】

第1の発明は、容量性負荷を有する表示部と、バイアス電流によって決まる駆動能力を有する出力バッファとを備え、当該出力バッファが入力画像信号に応じ



たアナログ電圧を前記容量性負荷に印加することにより前記表示部に画像を表示する表示装置であって、

前記出力バッファが前記容量性負荷に前記アナログ電圧を印加すべき期間である充電期間または放電期間中に前記バイアス電流を変化させるバイアス電流制御手段を備えることを特徴とする。

【 0 0 0 9 】

第 2 の発明は、第 1 の発明において、

前記出力バッファは、

前記アナログ電圧を出力するための複数のトランジスタであって互いに並列に接続されたトランジスタと、

前記複数のトランジスタのうち少なくとも 1 個のトランジスタの状態を作動状態と非作動状態との間で切り換える切換手段とを含み、

前記バイアス電流制御手段は、前記複数のトランジスタのうち動作状態のトランジスタの個数を前記切換手段によって変えることにより前記バイアス電流を変化させることを特徴とする。

【 0 0 1 0 】

第 3 の発明は、第 1 の発明において、

前記出力バッファは、

前記アナログ電圧を出力するトランジスタと、

前記トランジスタの動作点を変える動作点変更手段とを含み、

前記バイアス電流制御手段は、前記動作点変更手段によって前記トランジスタの動作点を変えることにより前記バイアス電流を変化させることを特徴とする。

【 0 0 1 1 】

第 4 の発明は、第 1 の発明において、

前記バイアス電流制御手段は、前記充電期間または放電期間において予め決められた時点以降では前記バイアス電流を当該充電期間または放電期間の開始時の値よりも小さい値とすることを特徴とする。

【 0 0 1 2 】

第 5 の発明は、第 1 の発明において、

前記バイアス電流制御手段は、前記充電期間または放電期間において前記バイアス電流を低減すべき時点を前記入力画像信号に基づき決定し、当該決定された時点以降では前記バイアス電流を前記充電期間または放電期間の開始時の値よりも小さい値とすることを特徴とする。

【 0 0 1 3 】

第 6 の発明は、第 1 の発明において、

前記バイアス電流制御手段は、前記充電期間または放電期間において前記バイアス電流を低減すべき時点を前記出力バッファと前記容量性負荷との間に流れる充放電電流に基づき決定し、当該決定された時点以降では前記バイアス電流を前記充電期間または放電期間の開始時の値よりも小さい値とすることを特徴とする。

【 0 0 1 4 】

第 7 の発明は、第 4 から第 6 の発明のいずれかにおいて、

前記バイアス電流制御手段は、前記充電期間または放電期間において前記バイアス電流を低減すべき時点として決定された前記時点以降で前記バイアス電流を完全に抑止することを特徴とする。

【 0 0 1 5 】

第 8 の発明は、容量性負荷を有する表示部に画像を表示するために、バイアス電流によって決まる駆動能力を有する出力バッファにより入力画像信号に応じたアナログ電圧を前記容量性負荷に印加する駆動回路であって、

前記出力バッファが前記容量性負荷に前記アナログ電圧を印加すべき期間である充電期間または放電期間中に前記バイアス電流を変化させるバイアス電流制御手段を備えることを特徴とする。

【 0 0 1 6 】

第 9 の発明は、容量性負荷を有する表示部に画像を表示するために、バイアス電流によって決まる駆動能力を有する出力バッファにより入力画像信号に応じたアナログ電圧を前記容量性負荷に印加する駆動方法であって、

前記出力バッファが前記容量性負荷に前記アナログ電圧を印加すべき期間である充電期間または放電期間中に前記バイアス電流を変化させることを特徴とする。

【 0 0 1 7 】

【発明の実施の形態】

以下、本発明の実施形態について添付図面を参照して説明する。

< 1. 第 1 の実施形態 >

< 1. 1 全体の構成および動作 >

図 1 は、本発明の第 1 の実施形態に係る液晶表示装置の構成を示すブロック図である。この液晶表示装置は、表示制御回路としての液晶コントローラ 1 0 1 と、データ線駆動回路としてのソースドライバ 1 0 2 と、走査線駆動回路としてゲートドライバ 1 0 3 と、表示部としてのアクティブマトリクス型の表示領域 1 0 4 とを備えており、表示領域 1 0 4 とソースドライバ 1 0 2 とゲートドライバ 1 0 3 とにより本体部が構成される。

【 0 0 1 8 】

表示領域 1 0 4 は、外部の信号源から受け取る画像データ  $D_v$  の表す画像における水平走査線にそれぞれが対応する複数本 ( $m$  本) の走査信号線としてのゲートバスライン  $G_1 \sim G_m$  と、それらのゲートバスライン  $G_1 \sim G_m$  のそれぞれと交差する複数本 ( $n$  本) のデータ線としてのソースバスライン  $S_1 \sim S_n$  と、それらのゲートバスライン  $G_1 \sim G_m$  とソースバスライン  $S_1 \sim S_n$  との交差点にそれぞれ対応して設けられた複数个 ( $m \times n$  個) の画素形成部とを含む。これらの画素形成部はマトリクス状に配置され、各画素形成部は、図 2 に示すように、対応する交差点  $CP_{jk}$  を通過するソースバスライン  $S_j$  にソース端子が接続されたスイッチング素子としての TFT 1 0 6 と、その TFT 1 0 6 のドレイン端子に接続された画素電極 1 0 7 と、上記複数の画素形成部に共通的に設けられた対向電極である共通電極  $E_c$  と、上記複数の画素形成部に共通的に設けられ画素電極 1 0 7 と共通電極  $E_c$  との間に挟持された液晶層と、画素電極 1 0 7 と共通電極  $E_c$  とによって形成される容量に並列に形成される電荷保持容量 1 0 8 とからなる。そして、画素電極 1 0 7 と共通電極  $E_c$  とにより形成される容量と、電

荷保持容量 1 0 8 とにより、画素容量が構成される。

【 0 0 1 9 】

液晶コントローラ 1 0 1 は、パーソナルコンピュータ（パソコン）等の信号源からデジタルビデオ信号を受け取り、そのデジタルビデオ信号の表す画像を表示領域 1 0 4 に表示させるための信号として、ソースドライバ用スタートパルス S S P と、ソースドライバ用クロック信号 S C L K と、ソースバスライン S 1 ～ S n に印加すべきアナログ電圧信号であるアナログビデオ信号 A V と、ゲートドライバ用スタートパルス G S P と、ゲートドライバ用クロック信号 G C L K とを生成する。

【 0 0 2 0 】

ソースドライバ 1 0 2 は、シフトレジスタ 2 0 と、上記アナログビデオ信号 A V を伝送するためビデオライン 2 1 と、ビデオライン 2 1 とソースバスライン S 1 ～ S n との間にそれぞれ挿入された n 個のアナログスイッチ A S 1 ～ A S n とを備えており、ソースドライバ用スタートパルス S S P、ソースドライバ用クロック信号 S C L K、およびアナログビデオ信号 A V を液晶コントローラ 1 0 1 から受け取る。シフトレジスタ 2 0 は、ソースバスライン S 1 ～ S n にそれぞれ対応する n 個のフリップフロップから構成され、各フリップフロップの出力は、対応するソースバスラインに接続されるアナログスイッチのオン／オフを制御する。そしてシフトレジスタ 2 0 には、スタートパルス S S P とソースドライバ用クロック信号 S C L K とが入力され、スタートパルス S S P がソースドライバ用クロック信号 S C L K に応じて順次シフトされていく。これにより、所定期間ずつアナログスイッチ A S 1 ～ A S n が順次オンされていくことで、点順次駆動が行われる。すなわち、その所定期間ずつアナログビデオ信号 A V がソースバスライン S 1 ～ S n に順次印加されていく。

【 0 0 2 1 】

ゲートドライバ 1 0 3 も、シフトレジスタを内蔵しており、ゲートドライバ用スタートパルス G S P、ゲートドライバ用クロック信号 G C L K を液晶コントローラ 1 0 1 から受け取る。内蔵シフトレジスタは、ゲートバスライン G 1 ～ G m にそれぞれ対応する m 個のフリップフロップから構成され、各フリップフロップ

の出力は、対応するゲートバスラインに接続されている。この内蔵シフトレジスタには、1 垂直走査期間毎にゲートドライバ用スタートパルス G S P が入力され、そのスタートパルス G S P はゲートドライバ用クロック信号 G C L K に従って順次シフトされていく。これにより、表示領域 1 0 4 におけるゲートバスライン G 1 ~ G m が 1 水平走査期間ずつ順次に選択され、選択されたゲートバスラインにのみアクティブな走査信号 ( T F T をオンさせる電圧 ) が印加される。

#### 【 0 0 2 2 】

上記のようにして表示領域 1 0 4 において、ソースバスライン S 1 ~ S n にはソースドライバ 1 0 2 からアナログビデオ信号 A V が映像駆動信号として印加され、ゲートバスライン G 1 ~ G m にはゲートドライバ 1 0 3 から走査信号が印加される。これにより、液晶層には、アナログビデオ信号 A V に応じて画素電極と共通電極 E c との電位差に相当する電圧が印加される。表示領域 1 0 4 は、この印加電圧によって液晶層の光透過率を制御することにより、外部のパソコン等の信号源から受け取ったデジタルビデオ信号の示す画像を表示する。

#### 【 0 0 2 3 】

なお、多結晶シリコンまたは C G シリコン等によって、ソースドライバ 1 0 2 およびゲートドライバ 1 0 3 を表示領域 1 0 4 と同一の基板上に形成してもよい。このように同一基板上に表示部と駆動回路部とが一体的に形成された液晶表示装置は、ドライバーモノリシック型液晶表示装置と呼ばれている。この場合、上記液晶表示装置における本体部 1 0 0 が、駆動回路を含む表示パネルとなる。

#### 【 0 0 2 4 】

### < 1 . 2 液晶コントローラ >

図 3 は、上記液晶表示装置における液晶コントローラ 1 0 1 の構成を、表示領域 1 0 4 を含む本体部 1 0 0 および外部の信号源 5 0 0 と共に示すブロック図である。この液晶コントローラ 1 0 1 は、タイミングジェネレータ 2 0 1 と、ホストインタフェース 2 0 2 と、D / A 変換器 2 0 3 とを備えている。タイミングジェネレータ 2 0 1 は、表示領域 1 0 4 に与えるべき駆動用信号である既述の信号 S S P , S C L K , G S P , G C L K を、その表示領域 1 0 4 に適合したタイミングで生成すると共に、ホストインタフェース 2 0 2 および D / A 変換器 2 0 3

を適切なタイミングで動作させるためのタイミング信号をも生成する。ホストインタフェース 2 0 2 は、外部の信号源 5 0 0 からデジタルビデオ信号 D V 1 を受け取り、そのデジタルビデオ信号 D V 1 に基づくデジタルビデオ信号 D V 2 を、タイミングジェネレータ 2 0 1 と連携して適切なタイミングで D / A 変換器 2 0 3 に与える。D / A 変換器 2 0 3 は、そのデジタルビデオ信号 V 2 をアナログ信号に変換しアナログビデオ信号 A V として出力する。このアナログビデオ信号 A V は、既述のように本体部 1 0 0 におけるソースドライバ 1 0 2 を介して、表示領域 1 0 4 内の画素容量やソースバスライン S 1 ~ S n の配線容量および配線抵抗などからなる容量性負荷に印加される。

## 【 0 0 2 5 】

## &lt; 1. 3 D / A 変換器 &gt;

図 4 は、上記のような液晶コントローラで使用される D / A 変換器の従来例の構成を示す回路図である。この従来例では、直列に接続された  $p + 1$  個の抵抗からなり所定の基準電圧  $V_{REF}$  を分圧する分圧回路 3 0 1 と、分圧回路 3 0 1 によって得られる  $p$  種類の電圧のいずれかを入力信号であるデジタルビデオ信号 D V 2 に応じて選択するための  $p$  個のアナログスイッチからなるスイッチ群 S D 1 ~ S D  $p$  と、デジタルビデオ信号 D V 2 に応じて選択された電圧を入力アナログビデオ信号 A V R として受け取ってそれと同電位の信号をアナログビデオ信号 A V として出力する出力バッファ 3 0 2 とから構成される。出力バッファ 3 0 2 は、表示領域 1 0 4 の駆動に必要とされる駆動能力を得るためのもので、図に示されているように電圧フォロアとして機能する。

## 【 0 0 2 6 】

図 5 は、上記 D / A 変換器の従来例における出力バッファ 3 0 2 の構成例を示す回路図である。この例では、出力バッファ 3 0 2 は、ソース端子が電源ライン V C C に接続された P チャネル M O S トランジスタ（以下「P c h トランジスタ」と略記する）Q P とソース端子が接地された n チャネル M O S トランジスタ（以下「N c h トランジスタ」と略記する）Q N とからなる C M O S 回路と、入力電圧  $V_{in}$  に応じて P c h トランジスタ Q P のゲート端子と N c h トランジスタ Q N のゲート端子とにバイアス電圧  $V_{a1}$ ,  $V_{a2}$  をそれぞれ与えるバイアス回

路 3 1 0 とから構成される。この出力バッファ 3 0 2 において、CMOS 回路はバイアス電圧  $V_{a1}$ ,  $V_{a2}$  に基づいてアナログ動作（線形動作）を行い、入力された電圧  $V_{in}$ （上記のビデオ信号  $AVR$  に相当）と等しい電圧  $V_{out}$ （上記のビデオ信号  $AV$  に相当）を出力する。このように出力バッファ 3 0 2 は、アナログ動作をしているために定常的なアイドル電流を必要とする。すなわち、出力端に負荷が接続されていない状態（開放状態）であっても、バイアス回路 3 1 0 内に電流が流れると共に、CMOS 回路（ $Pch$  トランジスタ  $Q_P$  および  $Nch$  トランジスタ  $Q_N$ ）を介して電源ライン  $VCC$  からグランドへと電流が流れる。このような電流を合わせてバイアス電流と呼んでおり、出力バッファ 3 0 2 の駆動能力はこのバイアス電流に依存し、大きな駆動能力を得るには大きなバイアス電流が必要となる。

#### 【0027】

本実施形態に係る液晶表示装置のように点順次駆動が行われる場合には、線順次駆動の場合に比べて、容量性負荷を含む表示領域 1 0 4 に対する充放電のために極めて高い駆動能力が必要とされる。そのために、 $D/A$  変換器 2 0 3 の出力バッファ 3 0 2 におけるバイアス電流を駆動能力に応じて大きなものとしなければならず、これにより、液晶表示装置全体の消費電力も大きなものとなる。ところで、 $D/A$  変換器 2 0 3 の出力バッファ 3 0 2 から見た負荷としての表示領域 1 0 4 は、簡単なモデルでは、図 6 に示すようにコンデンサと抵抗とが直列に接続されてなる回路すなわち  $CR$  負荷として扱うことができる。このため、定電圧で表示領域 1 0 4 を駆動した場合、駆動対象の画素電極の電位は図 7 に示すように負の指数関数的に変化する。すなわち、 $CR$  負荷としての表示領域 1 0 4 に対して充電を行う場合には、出力バッファ 3 0 2 による駆動電圧を  $V_2$  とし、その  $CR$  負荷に対する駆動開始前（駆動電圧  $V_2$  の印加前）の当該  $CR$  負荷におけるコンデンサの電圧（駆動対象の画素電極の電位に相当し、以下「対象画素電位」という）を  $V_1$  とすると（ $V_2 > V_1$ ）、対象画素電位  $V$  は、駆動開始後、図 7 (a) に示すように変化する。また、充電されている  $CR$  負荷としての表示領域 1 0 4 の放電を行う場合には、出力バッファ 3 0 2 による駆動電圧を  $V_4$  とし、その  $CR$  負荷に対する駆動開始前の当該  $CR$  負荷におけるコンデンサの電圧であ

る対象画素電位を $V_3$ とすると( $V_4 < V_3$ )、対象画素電位 $V$ は、駆動開始後、図7(b)に示すように変化する。したがって、充電の場合にも放電の場合にも、出力バッファ302とCR負荷との間に流れる電流は、時間の経過に従って減少していく。よって、出力バッファ302の駆動能力を、対象画素に対する1回の駆動期間(充電期間または放電期間)のうち後半において低くしても、実質的には、駆動能力はほとんど低下しないと考えられる。

## 【0028】

本実施形態では、この点に着目し、各駆動期間において駆動開始後の所定の時点以降で出力バッファのバイアス電流を駆動開始時よりも小さくすることにより、実質的に駆動能力を低下させることなく、出力バッファ自体の消費電力の低減を図っている。

## 【0029】

図8は、このような本実施形態におけるD/A変換器203の出力バッファ303の構成を示す回路図である。この構成では、バイアス回路310は従来例(図5)と同様であるが、出力バッファ303において駆動電圧 $V_{out}$ (アナログビデオ信号 $AV$ に相当)を生成するためのCMOS回路が、互いに並列に接続された4個のPchトランジスタ $QP_0 \sim QP_3$ と、互いに並列に接続された4個のNchトランジスタ $QN_0 \sim QN_3$ とからなる。ここで、4個のPchトランジスタ $QP_0 \sim QP_3$ の全てまたは4個のNchトランジスタ $QN_0 \sim QN_3$ の全てをアクティブ(動作状態)にすることで、従来例の場合と同等の駆動能力を有するように(従来例の場合のバイアス電流と同量のバイアス電流が流れるように)、Pchトランジスタ $QP_0 \sim QP_3$ およびNchトランジスタ $QN_0 \sim QN_3$ のサイズ(特性)が設定されている。そして、上記CMOS回路のPchトランジスタのゲート端子に供給すべき電圧としてバイアス回路310から出力されるバイアス電圧 $V_{a1}$ は、Pchトランジスタ $QP_0$ のゲート端子に直接与えられるが、他のPchトランジスタ $QP_1 \sim QP_3$ には切換スイッチ $SP_1 \sim SP_3$ をそれぞれ介して与えられる。これらの切換スイッチ $SP_1 \sim SP_3$ は後述のPch制御信号 $SP_{on}$ によって切り換えられ、これにより、各Pchトランジスタ $QP_1 \sim QP_3$ のゲート端子には、Pch制御信号 $SP_{on}$ がハイレ



ベル（Hレベル）のときにバイアス電圧V a 1が与えられ、P c h制御信号S P o nがローレベル（Lレベル）のときに電源ラインV C Cの電圧（Hレベル）が与えられる。したがって、P c h制御信号S P o nがHレベルのときには、P c hトランジスタQ P 0～Q P 3の全てがバイアス電圧V a 1に基づいて動作（線形動作）するが、P c h制御信号S P o nがLレベルのときには、P c hトランジスタQ P 0のみがバイアス電圧V a 1に基づいて動作し、他のP c hトランジスタQ P 1～Q P 3はオフ状態（非動作状態）となる。

## 【 0 0 3 0 】

また、上記C M O S回路のN c hトランジスタのゲート端子に供給すべき電圧としてバイアス回路3 1 0から出力されるバイアス電圧V a 2は、N c hトランジスタQ N 0のゲート端子に直接に与えられるが、他のN c hトランジスタQ N 1～Q N 3には切換スイッチS N 1～S N 3をそれぞれ介して与えられる。これらの切換スイッチS N 1～S N 3は後述のN c h制御信号S N o nによって切り換えられ、これにより、各N c hトランジスタQ N 1～Q N 3のゲート端子には、N c h制御信号S N o nがHレベルのときにバイアス電圧V a 2が与えられ、N c h制御信号S N o nがLレベルのときに接地レベル（Lレベル）が与えられる。したがって、N c h制御信号S N o nがHレベルのときには、N c hトランジスタQ N 0～Q N 3の全てがバイアス電圧V a 2に基づいて動作（線形動作）するが、N c h制御信号S N o nがLレベルのときには、N c hトランジスタQ N 0のみがバイアス電圧V a 2に基づいて動作し、他のP c hトランジスタQ N 1～Q N 3はオフ状態（非動作状態）となる。

## 【 0 0 3 1 】

上記のように構成された出力バッファ3 0 3は、電圧フォロアを用いて図9に示すように表現することができる。この出力バッファ3 0 3には、入力電圧V i nとしてのアナログビデオ信号A V Rの他に、出力バッファ3 0 3におけるP c hトランジスタQ P 1～Q P 3を既述のように制御するP c h制御信号S P o n、および、N c hトランジスタQ N 1～Q N 3を既述のように制御するN c h制御信号S N o nが入力される。これらP c h制御信号S P o nおよびN c h制御信号S N o nは、各駆動期間（1画素についての画素値書き込みのための充電期

間又は放電期間)において駆動能力を低減するのに適切な時点として予め設定された時点を指示する信号として、タイミングジェネレータ201によって生成される。すなわち、表示領域104(対象画素容量)に印加すべき電圧が、現時点で対象画素容量に加わっている電圧よりも高ければ充電期間であると見なされ、充電期間ではタイミングジェネレータ201により、図10(a)に示すようにPch制御信号SPonは、充電開始時にはHレベルとなり、その充電開始後の所定時点t1aでLレベルへと変化し、その後、その充電期間中はLレベルに維持される。一方、Nch制御信号SNonは、充電期間中、Lレベルに維持される。ここで、時刻 $t=0$ から $t=t2a$ までが充電期間であり、時刻 $t=t1a$ は駆動能力を低減するのに適切な時点として上記のように予め設定された時点である。また、表示領域104(対象画素容量)に印加すべき電圧が、現時点で対象画素容量に加わっている電圧よりも低ければ放電期間であると見なされ、放電期間ではタイミングジェネレータ201により、図10(b)に示すようにNch制御信号SNonは、放電開始時にはHレベルとなり、その放電開始後の所定時点t1bでLレベルへと変化し、その後、その放電期間中はLレベルに維持される。一方、Pch制御信号SPonは、放電期間中、Lレベルに維持される。ここで、時刻 $t=0$ から $t=t2b$ までが放電期間であり、時刻 $t=t1b$ は駆動能力を低減するのに適切な時点として上記のように予め設定された時点である。なお、本実施形態では、上記のようなPch制御信号SPonおよびNch制御信号SNonがタイミングジェネレータ201によって生成され、後述のようにこれらPch制御信号SPonおよびNch制御信号SNonによって出力バッファ303のバイアス電流が変化するので、タイミングジェネレータ201はバイアス電流制御手段として機能する。

#### 【0032】

本実施形態では、図10(a)(b)に示すように、充電期間か放電期間かに応じてPch制御信号SPonまたはNch制御信号SNonのいずれかのレベルが制御され、充電期間か放電期間かは、上述のように、表示領域104(対象画素容量)に印加すべき電圧が現時点で対象画素容量に加わっている電圧よりも高いか否かにより判断される。この判断のためには、例えば液晶コントローラ1

01内にメモリを内蔵し、前フレーム期間で各画素容量に印加された電圧をそのメモリに記憶させておけばよい。また、液晶表示装置では、液晶層への印加電圧の極性を1ソースバスライン毎に反転させる方式（ソース反転方式）、または、1ゲートバスライン毎に反転させつつ1ソースバスライン毎にも反転させる方式（ドット反転方式）が採用されている場合が多いが、この場合にはPch制御信号SPonのレベルとNch制御信号SNonのレベルとを交互に制御すればよい。

### 【0033】

#### <1.4 出力バッファの動作>

CR負荷としての表示領域104を定電圧で駆動すると、既述のように、放電時には対象画素電位Vが図7（a）に示すように変化し、時間の経過に従って充電電流が減少するので、必要とされる駆動能力も時間の経過に従って小さくなっていく。このため、充電期間中の全てで同一の駆動能力を持つと、その駆動能力に応じたバイアス電流が流れるので、出力バッファにおいて無駄に電力を消費することになる。

### 【0034】

これに対し本実施形態によれば、充電対象画素の電位Vが充電開始後しばらく急峻に上昇する期間である $t = 0 \sim t_{1a}$ の期間（図7（a）参照）では、図10（a）に示すようにPch制御信号SPonがHレベルとなって、切換スイッチSP1～SP3により出力バッファ303における4個のPchトランジスタQP0～QP3がバイアス電圧V<sub>a1</sub>に基づき線形動作を行う。これにより、PchトランジスタQP0のみが動作する場合に比べ、出力コンダクタンスが4倍となるので（PchトランジスタQP0～QP3の特性（サイズ）は同一であるものとする）、4倍のバイアス電流が流れ、高い駆動能力で表示領域104の対象画素容量および配線容量が充電される。ただし本実施形態では、このように4個のPchトランジスタQP0～QP3が全てアクティブとなった場合の駆動能力（バイアス電流）は、既述のように従来例における駆動能力（バイアス電流）と同じである。その後、充電が相当程度に進行した時刻 $t = t_{1a}$ において、Pch制御信号SPonがLレベルへと変化して、切換スイッチSP1～SP3に

より出力バッファ 3 0 3 における 3 個の P c h トランジスタ Q P 1 ~ Q P 3 がオフ状態となり、P c h トランジスタ Q P 0 のみがバイアス電圧 V a 1 によって線形動作を行う（図 8 参照）。その結果、バイアス電流が充電開始時の 1 / 4 となり、出力バッファ 3 0 3 自体の消費電力が格段に低減される。このとき出力バッファ 3 0 3 の駆動能力も低下するが、この時点では、表示領域 1 0 4 に供給すべき充電電流は小さくなっているので駆動能力低下は問題とならず、実質的に表示領域 1 0 4 での表示に影響を与えない。なお、N c h トランジスタ Q N 0 ~ Q N 3 は充電電流には関与しないので、図 1 0 ( a ) に示すように充電期間中の全てにおいて、N c h 制御信号 S N o n は L レベルであって 4 個の N c h トランジスタ Q N 0 ~ Q N 3 のうち Q N 1 ~ Q N 3 はオフ状態であり、Q N 0 のみが動作している。この点も、出力バッファ 3 0 3 の消費電力の削減に寄与する。

#### 【 0 0 3 5 】

また本実施形態によれば、放電対象画素の電位 V が放電開始後しばらく急峻に下降する期間である  $t = 0 \sim t_{1b}$  の期間（図 7 ( b ) 参照）では、図 1 0 ( b ) に示すように N c h 制御信号 S N o n が H レベルとなって、切換スイッチ S N 1 ~ S N 3 により出力バッファ 3 0 3 における 4 個の N c h トランジスタ Q N 0 ~ Q N 3 がバイアス電圧 V a 2 に基づき線形動作を行う（図 8 参照）。これにより、N c h トランジスタ Q N 0 のみが動作する場合に比べて出力コンダクタンスが 4 倍となるので（N c h トランジスタ Q N 0 ~ Q N 3 の特性（サイズ）は同一であるものとする）、4 倍のバイアス電流が流れ、表示領域 1 0 4 の対象画素容量および配線容量に蓄積されていた電荷が高い駆動能力で放電される。ただし本実施形態では、このように 4 個の N c h トランジスタ Q N 0 ~ Q N 3 が全てアクティブとなった場合の駆動能力（バイアス電流）は、既述のように従来例における駆動能力（バイアス電流）と同じである。その後、その放電が相当程度に進行した時刻  $t = t_{1b}$  において、N c h 制御信号 S N o n が L レベルへと変化し、切換スイッチ S N 1 ~ S N 3 により出力バッファ 3 0 3 における 3 個の N c h トランジスタ Q N 1 ~ Q N 3 がオフ状態となり、N c h トランジスタ Q P 0 のみがバイアス電圧 V a 2 に基づき線形動作を行う。その結果、バイアス電流が充電開始時の 1 / 4 となり、出力バッファ 3 0 3 自体の消費電力が格段に低減される。

このとき出力バッファ 3 0 3 の駆動能力も低下するが、この時点では、表示領域 1 0 4 からの放電電流は小さくなっているので駆動能力低下は問題とはならず、実質的に表示領域 1 0 4 の表示に影響を与えない。なお、P c h トランジスタ Q P 0 ~ Q P 3 は放電電流には関与しないので、図 1 0 ( b ) に示すように放電期間中の全てにおいて、P c h 制御信号 S P o n は L レベルであって 4 個の P c h トランジスタ Q P 0 ~ Q P 3 のうち Q P 1 ~ Q P 3 はオフ状態であり、Q P 0 のみが動作している。この点も、出力バッファ 3 0 3 の消費電力の削減に寄与する。

#### 【 0 0 3 6 】

このようにして本実施形態によれば、充電時における対象画素電位 V は図 1 1 ( a ) において点線で示すように変化すると共に、放電時における対象画素電位 V は図 1 1 ( b ) において点線で示すように変化し、表示領域 1 0 4 の表示への影響を抑えつつバイアス電流（駆動能力）を変化させることで消費電力を削減することができる。なお、図 1 1 ( a ) において、実線の曲線は従来の出力バッファ 3 0 2 を使用した場合の電位変化を示しており、1 点鎖線の曲線は、4 個の P c h トランジスタ Q P 0 ~ Q P 3 を同時に動作させたときの駆動能力が従来例（図 5）における P c h トランジスタ Q P の駆動能力よりも若干大きい場合の電位変化を示している。図 1 1 ( b ) における実線の曲線、点線の曲線、1 点鎖線の曲線についても、P c h トランジスタと N c h トランジスタとの違いを除けば同様である。1 点鎖線の曲線のような電位変化が得られる構成の場合においても、出力バッファ 3 0 3 の消費電力が従来例よりも削減されるように 4 個の P c h トランジスタ Q P 0 ~ Q P 3 および 4 個の N c h トランジスタ Q N 0 ~ Q N 3 のサイズ（駆動能力）を設定することは可能である。

#### 【 0 0 3 7 】

### < 1.5 第 1 の実施形態の効果 >

上記実施形態によれば、各画素に対する駆動期間である各画素容量の充電期間または放電期間において充電または放電が相当程度に進行した時点 t 1 a または t 1 b で D / A 変換器 2 0 3 における出力バッファ 3 0 3 の出力コンダクタンスを変化させることにより、大きな駆動能力を必要としない期間でバイアス電流が

低減される。これにより、表示領域 1 0 4 の表示への影響を抑えつつ、D/A変換器 2 0 3 における出力バッファ 3 0 3 の消費電力を削減することができる。したがって、本実施形態は、駆動回路の消費電力における出力バッファの消費電力の占める割合の大きい液晶表示装置において省電力化を図る上で有効である。

#### 【 0 0 3 8 】

##### < 1 . 6 第 1 の実施形態の変形例 >

##### < 1 . 6 . 1 第 1 の変形例 >

次に、上記第 1 の実施形態の第 1 の変形例について説明する。

表示領域に表示する画像を静止画に限定した場合、以下の方法で、駆動能力を落す時点すなわちバイアス電流を低減する時点を自動的に決定することができる。液晶表示装置では液晶の劣化を防ぐため、ソースバスラインには、対向電極の電圧に対し、フレーム毎に逆極性の電圧が印加される。すなわち、図 1 2 に示すように、静止画の場合、第  $n$  フレームに対して第  $n + 1$  フレームは、極性反転の中心に対して上下反転した電圧が印加される。ここで、表示領域 1 0 4 は極性反転の中心に近いほど明るく表示するノーマリホワイトの表示領域であるものとする、第  $n + 1$  で印加すべき電圧、すなわち第  $n$  フレームと第  $n + 1$  フレームとの電位差は、明るく表示する画素ほど小さくなる ( $V_{Sn} < V_{Sn+1} < V_{Sn+2}$ )。よって、明るく表示する画素ほど駆動能力を落す時点を早めに設定すれば、更に出力バッファの消費電力を削減することができる。なお、この点は、図 1 2 に示すように共通電極の電位が固定の場合のみならず、駆動に必要な電圧を低くするために共通電極の電位を正極性用電位と負極性用電位との 2 種類の電位の間で切り換える構成の場合においても同様である。

#### 【 0 0 3 9 】

このような本変形例では、駆動しようとする画素をどの程度明るく表示すべきかを示す情報に基づき  $Pch$  制御信号  $SPon$  および  $Nch$  制御信号  $SNon$  が生成されることになる (図 1 0 参照)。このため、 $Pch$  制御信号  $SPon$  および  $Nch$  制御信号  $SNon$  を生成するタイミングジェネレータ 2 0 1 にその情報を伝える必要がある。これには、例えば、液晶コントローラ 1 0 1 においてホストインタフェース 2 0 2 と D/A 変換器 2 0 3 との間に図 1 3 に示すようなデー

タ分岐回路 2 1 0 を設け、デジタルビデオ信号 DV 2 の上位 2 ビットである DV 2 m s b 2 ( 3 bit 以上でもよい) をタイミングジェネレータ 2 0 1 に送る構成とすればよい。この場合、タイミングジェネレータ 2 0 1 は、この DV 2 m s b 2 の値によって、駆動能力 ( バイアス電流 ) を落とす時点として 4 つの異なる時点を設定することができる。したがって、表示領域 1 0 4 の駆動対象画素への印加電圧に応じて、駆動能力を落とす時点を 4 つの時点から選択することができるので、表示領域 1 0 4 の表示への影響を抑えつつ、より効果的に消費電力を削減することができる。

【 0 0 4 0 】

#### < 1 . 6 . 2 第 2 の変形例 >

次に、上記第 1 の実施形態の第 2 の変形例について説明する。

本変形例では、図 8 の出力バッファに代えて図 1 4 に示す構成の出力バッファが使用される。第 1 の実施形態における出力バッファ 3 0 3 では、出力段の CMOS 回路において並列に接続されるトランジスタの数を変えて出力コンダクタンスを変更することによりバイアス電流 ( 駆動能力 ) を制御していたが、この変形例における出力バッファでは、P c h トランジスタ Q P および N c h トランジスタ Q N のゲート端子に与えられるバイアス電圧 ( Q P , N P の動作点 ) を変えることによりバイアス電流 ( 駆動能力 ) を制御している。すなわち、バイアス回路 3 1 0 および出力段の CMOS 回路は従来例 ( 図 5 ) と同様であるが、P c h トランジスタ Q P のゲート端子は第 1 の可変抵抗 V R 1 を介して電源ライン V C C に接続されると共に第 2 の可変抵抗 V R 2 を介して接地されており、N c h トランジスタ Q N のゲート端子は第 3 の可変抵抗 V R 3 を介して電源ライン V C C に接続されると共に第 4 の可変抵抗 V R 4 を介して接地されている。このような出力バッファにおいて、例えば、第 1 の実施形態における P c h 制御信号 S P o n で可変抵抗 V R 1 および V R 2 を制御することにより、充電期間における既述の時点 t 1 a でバイアス電流を低減し、第 1 の実施形態における N c h 制御信号 S N o n で可変抵抗 V R 3 および V R 4 を制御することにより、放電期間における既述の時点 t 1 b でバイアス電流を低減する構成とすることが可能であり、このような構成によれば、第 1 の実施形態と同様の効果を得ることができる。

## 【 0 0 4 1 】

## &lt; 1 . 6 . 3 その他の変形例 &gt;

上記第 1 の実施形態では、図 8 に示すように、出力バッファ 3 0 3 において、動作／非動作を制御できる 3 個の P c h トランジスタ Q P 1 ~ Q P 3 が互いに並列に接続されると共に、動作／非動作を制御できる 3 個の N c h トランジスタ Q N 1 ~ Q N 3 が互いに並列に接続されているが、動作／非動作を制御できる P c h トランジスタおよび N c h トランジスタの個数は 3 個に限定されるものではなく、2 個以下であってもよいし、4 個以上であってもよい。また、上記第 1 の実施形態では、1 画素に対する駆動期間（充電期間または放電期間）において出力コンダクタンスを 2 段階（1 個の P c h または N c h トランジスタが動作している状態と、4 個の P c h または N c h トランジスタが動作している状態との 2 段階）に変化させているが、P c h 制御信号 S P o n および N c h 制御信号 S N o n の種類を増やして切換スイッチ S P 1 ~ S P 3 , S N 1 ~ S N 3 を異なるタイミングで制御することにより、3 段階以上に出力コンダクタンスを変化させる構成としてもよい。このようにすれば、出力バッファ 3 0 3 の消費電力削減のためのバイアス電流すなわち駆動能力の制御をよりきめ細かく行うことができる。

## 【 0 0 4 2 】

また、上記実施形態では、出力バッファ 3 0 3 は、P c h 制御信号 S P o n および N c h 制御信号 S N o n が L レベルとなっても P c h トランジスタ Q P 0 と N c h トランジスタ Q N 0 とは常に動作するように構成されているが、全ての P c h トランジスタおよび N c h トランジスタにつき動作／非動作を制御できるように、P c h トランジスタ Q P 0 と N c h トランジスタ Q N 0 についても切換スイッチを設ける構成としてもよい。この場合、駆動対象となる画素容量の充電または放電が十分に進んだ時点（t 1 a または t 1 b に相当する時点）で全ての P c h トランジスタおよび N c h トランジスタを非動作状態（オフ状態）とすることにより、上記時点以降においてバイアス電流が流れない状態となり、消費電力を上記第 1 の実施形態よりも削減することができる。

## 【 0 0 4 3 】

さらに、上記第 1 の実施形態では、点順次駆動を前提としているが、線順次駆



動の場合においても、データ線としてのソースバスラインにアナログ電圧を印加するための出力バッファが使用されるので、この出力バッファを上記第1の実施形態や変形例と同様の構成とすることができる。そして、そのような構成により、表示領域での表示への影響を抑えつつ、出力バッファにおけるバイアス電流もしくは駆動能力を変えることにより、出力バッファの消費電力を低減することができる。

【0044】

## <2. 第2の実施形態>

上記第1の実施形態では、出力バッファ303のバイアス電流を低下させる時点( $t_{1a}$ ,  $t_{1b}$ )は予め決められているが、各駆動期間(充電期間または放電期間)において充電電流または放電電流の値が所定値よりも小さくなる時点を検出し、その検出結果に基づきバイアス電流を低下させるようにしてもよい。以下、このような出力バッファを使用する液晶表示装置を第2の実施形態として説明する。なお、本実施形態では、出力バッファの構成が異なり、Pch制御信号SPonおよびNch制御信号SNonを必要としない点を除けば、他の構成は上記第1の実施形態と同様であるので、同一部分には同一の参照符号を付して詳しい説明を省略する。

【0045】

図15は、このように電流値に基づきバイアス電流切換時点を検出する出力バッファの構成例を示す回路図である。図15では、充電期間においてバイアス電流切換時点を検出するための構成のみが示されているが、放電期間においてバイアス電流切換時点を検出するための構成は、図15と下記の説明から明らかであるので、当該構成についての図示や説明を省略する。

【0046】

図15に示した出力バッファは、コレクタが電源ラインVDD1に接続されたバイポーラトランジスタQ1と、エミッタが接地ラインVSS1に接続されたバイポーラトランジスタQ2とからなる出力段を備え、トランジスタQ1のエミッタとトランジスタQ2のコレクタとが接続され、その接続点(以下「出力接続点」という)の電圧が出力電圧Voutとなっている。この出力電圧Voutは、

電流検出抵抗  $R_{det}$  を介して出力バッファから出力され、アナログビデオ信号  $AV$  としてソースドライバ 102 を経て表示領域 104（ソースバスライン）に供給される。

## 【0047】

また、この出力バッファは、トランジスタ  $Q_1$ 、 $Q_2$  を動作させるためのベース電流をスイッチ  $SB_1$ 、 $SB_2$  をそれぞれ介して供給するバイアス回路 410 と、出力電圧  $V_{out}$  であるアナログビデオ信号  $AV$  で表示領域 104 の画素容量および配線容量を充電するための充電電流  $I_1$  が所定値よりも低下したか否かを検出するコンパレータ 412 とを備えている。電流検出抵抗  $R_{det}$  の一端は、上記出力接続点に接続され、他端はコンパレータ 412 の非反転入力端子に接続されている。また、上記出力接続点は抵抗  $R_1$  を介してコンパレータ 412 の反転入力端子に接続され、この反転入力端子は抵抗  $R_2$  を介して接地されている。抵抗  $R_1$  と  $R_2$  とで出力電圧  $V_{out}$  が分圧されることにより閾値としての電圧  $V_{th}$  が生成され、充電電流  $I_1$  に対応する電圧である電流検出抵抗  $R_{det}$  の上記他端の電圧  $V_{det}$  が、コンパレータ 412 により閾値電圧  $V_{th}$  と比較される。

## 【0048】

さらに、この出力バッファは、排他的 NOR ゲート（EX-NOR ゲート）414 とインバータ 413 とからなる回路であってコンパレータ 412 の出力信号  $S_{det}$  の変化（L レベルから H レベルへの変化およびその逆の変化）を検出する回路と、その回路の出力信号がクロック端子に入力される D フリップフロップ 416 とを備えている。この D フリップフロップ 416 の D 入力端子は接地され、Q 出力信号は、トランジスタ  $Q_1$  および  $Q_2$  へのベース電流の供給を制御するスイッチ  $SB_1$  および  $SB_2$  を制御する。Q 出力信号が H レベルのときスイッチ  $SB_1$  および  $SB_2$  はオンされてトランジスタ  $Q_1$  および  $Q_2$  は動作状態となり、Q 出力信号が L レベルのときスイッチ  $SB_1$  および  $SB_2$  はオフされてトランジスタ  $Q_1$  および  $Q_2$  は非動作（オフ状態）となる。この D フリップフロップ 416 の PR（プリセット）端子には、1 つの画素容量の充電開始毎（駆動開始毎）に上記スイッチ  $SB_1$  および  $SB_2$  を初期状態であるオンされている状態に戻

すために、ドットクロックとしてのソースドライバ用クロック信号 S C L K またはこのクロック信号 S C L K から派生したパルス信号が入力される。上記スイッチ S B 1 および S B 2 をオンする期間すなわち出力バッファから充電電流を供給する期間がクロック信号 S C L K のパルス幅（H レベルの期間）よりも短くなる可能性がある場合には、そのクロック信号 S C L K 自身よりも、それから派生した信号であって H レベルの期間のより短い信号を P R 端子に与えるのが好ましい。

## 【 0 0 4 9 】

上記のような本実施形態による出力バッファによれば、図 1 6 に示すように充電開始後、時間の経過に従って充電電流  $I_1$  が減少し、その充電電流  $I_1$  に対応する電流検出抵抗  $R_{det}$  の上記他端の電圧  $V_{det}$  が閾値電圧  $V_{th}$  よりも高くなるか又は閾値電圧  $V_{th}$  よりも低くなれば（すなわち閾値電圧  $V_{th}$  を横切れば）、1 個のパルスが D フリップフロップ 4 1 6 のクロック端子に入力される。これにより、図 1 6 において  $t_{s1}$  で示されるような時点で D フリップフロップ 4 1 6 の Q 出力端子は L レベルへと変化し、上記スイッチ S B 1 および S B 2 がオフされ、トランジスタ Q 1 および Q 2 は非動作状態（オフ状態）となる。その結果、1 画素に対する充電期間において上記時点  $t_{s1}$  以降では出力バッファから表示領域 1 0 4 へは充電電流が供給されない。しかし、上記時点  $t_{s1}$  では当該画素容量が十分に充電されているように上記閾値電圧  $V_{th}$ （抵抗  $R_1$  と  $R_2$  とによる分圧比）を設定することにより、上記時点  $t_{s1}$  以降で充電電流の供給が停止されても表示上問題が生じないようにすることができる。

## 【 0 0 5 0 】

このような本実施形態によれば、電源ライン  $V_{DD1}$  からトランジスタ Q 1 および Q 2 を介して接地ライン  $V_{SS1}$  へと流れるバイアス電流は、1 画素に対する充電期間において上記時点  $t_{s1}$  以降すなわち当該画素容量が十分に充電された時点以降では流れなくなる。したがって、上記実施形態と同様、表示領域 1 0 4 の表示への影響を抑えつつ、D/A 変換器 2 0 3 における出力バッファの消費電力を低減することができる。

## 【 0 0 5 1 】

なお、本実施形態では、1画素に対する充電期間において出力バッファから充電電流を供給する期間と供給を停止する期間とが分離されるが、その充電電流の供給停止期間（上記時点 $t_{s1}$ 以降の期間）において、トランジスタ $Q1$ 、 $Q2$ を完全に非動作状態（オフ状態）とせず、上記バイアス電流を低減するようにしてもよい。

【0052】

### <3. その他の実施形態>

上記では本発明の実施形態やその変形例として液晶表示装置について説明したが、本発明は、これに限定されるものではなく、容量性負荷にアナログ電圧を印加することにより画像を表示する表示装置であれば、他の表示装置にも適用可能である。例えば、有機EL（Electroluminescence）パネルを用いた表示装置では、有機EL素子に流れる電流により輝度を制御することで画像が表示されるが、有機ELパネルにおける各画素形成部が図17に示すような構成である場合には、データ信号線としてのソースバスラインに画像信号に応じたアナログ電圧を印加することにより画像が表示される。

【0053】

すなわち、この有機ELパネルは、アクティブマトリクス型の表示装置であって、走査信号線とデータ信号線との交差点に対応して設けられる各画素形成部は、スイッチング用TFT510と、有機EL駆動用TFT512と、有機EL素子514と、コンデンサ511とによって構成される。そして、対応交差点を通過する走査信号線によってスイッチング用TFT510がオンされると、データ信号線の電圧がそのTFT510を介して有機EL駆動用TFT512のゲート端子に印加され、そのTFT512のゲート端子とソース端子との間に接続されたコンデンサ511がデータ信号によって充電される。この後、走査信号によってスイッチング用TFT510がオフされても、データ信号の電圧はコンデンサ511により保持される。コンデンサ511により保持された電圧は、有機EL駆動用TFT512によって電流に変換される。すなわち、データ信号として容量性負荷に印加されたアナログ電圧が電流に変換される。この電流によって有機EL素子514の輝度が制御されることにより、画像が表示される。したがって

、有機EL素子を用いた表示装置であっても、図17に示すような電圧制御型の構成とすることにより、本発明を適用することができる。

【0054】

なお、表示パネルの実際の駆動状態において、隣接する充電期間または放電期間における駆動電圧に大きな差がない場合には、表示に対する影響を抑えつつ出力バッファのバイアス電流を低減させた状態すなわち駆動能力を低下させた状態を長く維持することが可能となる。このため、そのような場合には、本発明による出力バッファの消費電力の削減効果はより大きなものとなる。

【0055】

【発明の効果】

第1の発明によれば、表示部の容量性負荷の充電期間または放電期間中に出力バッファのバイアス電流を変化させることができるので、出力バッファに必要とされる駆動能力に応じてバイアス電流を変えることにより、バイアス電流が固定されていた従来に比べ出力バッファの消費電力を削減することができる。

【0056】

第2の発明によれば、互いに並列に接続された複数個のトランジスタのうち動作状態のトランジスタの個数を変えて出力コンダクタンスを変化させることにより、出力バッファに必要とされる駆動能力に応じてバイアス電流を変えることができるので、出力バッファの消費電力の削減が可能となる。

【0057】

第3の発明によれば、トランジスタの動作点を変えることにより、出力バッファに必要とされる駆動能力に応じてバイアス電流を変えることができるので、出力バッファの消費電力の削減が可能となる。

【0058】

第4の発明によれば、充電期間または放電期間において予め決められた時点以降で出力バッファのバイアス電流が充電期間または放電期間の開始時の値よりも小さい値となるので、表示部の容量性負荷の充放電電流が少なくなって必要とされる駆動能力が低下した時点以降でバイアス電流を低減することができる。このため、表示部における表示に対する影響を抑えつつ出力バッファの消費電力を削

減することが可能となる。

【 0 0 5 9 】

第 5 の発明によれば、充電期間または放電期間において入力画像信号に基づき決定される時点以降で出力バッファのバイアス電流が充電期間または放電期間の開始時の値よりも小さい値となるので、表示部の容量性負荷の充放電電流が少なくなつて必要とされる駆動能力が低下した時点以降でバイアス電流を低減することができる。このため、表示部における表示に対する影響を抑えつつ出力バッファの消費電力を削減することが可能となる。

【 0 0 6 0 】

第 6 の発明によれば、充電期間または放電期間において出力バッファと容量性負荷との間に流れる充放電電流に基づき決定される時点以降でバイアス電流が充電期間または放電期間の開始時の値よりも小さい値となるので、表示部の容量性負荷の充放電電流が少なくなつて必要とされる駆動能力が低下した時点以降でバイアス電流を低減することができる。このため、表示部における表示に対する影響を抑えつつ出力バッファの消費電力を削減することが可能となる。

【 0 0 6 1 】

第 7 の発明によれば、充電期間または放電期間においてバイアス電流を低減すべき時点として決定された時点以降でバイアス電流が全く流れなくなるので、出力バッファの消費電力をより削減することができる。

【 0 0 6 2 】

第 8 の発明によれば、上記第 1 の発明と同様の効果を奏する。

【 0 0 6 3 】

第 9 の発明によれば、上記第 1 の発明と同様の効果を奏する。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る液晶表示装置の構成を示すブロック図である。

【図 2】

第 1 の実施形態における表示領域を構成する画素形成部の構成を示す回路図である。

【図 3】

第 1 の実施形態における液晶コントローラの構成を示すブロック図である。

【図 4】

液晶コントローラで使用される D/A 変換器の従来例の構成を示す回路図である。

【図 5】

上記 D/A 変換器の従来例における出力バッファの構成を示す回路図である。

【図 6】

液晶表示装置における駆動回路から見た負荷としての表示領域のモデルを示す回路図である。

【図 7】

CR 負荷としての表示領域を定電圧駆動する場合の駆動対象の画素電極電位の変化を示す図である。

【図 8】

第 1 の実施形態における D/A 変換器の出力バッファの構成を示す回路図である。

【図 9】

第 1 の実施形態における D/A 変換器の出力バッファを電圧フォロアを用いて表現した図である。

【図 10】

第 1 の実施形態における出力バッファの動作を説明するためのタイミングチャートである。

【図 11】

第 1 の実施形態における出力バッファの動作を説明するための波形図である。

【図 12】

第 1 の実施形態の第 1 の変形例の原理を説明するための信号波形図である。

【図 13】

上記第 1 の変形例において使用されるデータ分岐回路を示す図である。

【図 14】

第 1 の実施形態の第 2 の変形例における出力バッファの構成を示す回路図である。

【図 1 5】

本発明の第 2 の実施形態における出力バッファの構成を示す回路図である。

【図 1 6】

第 2 の実施形態における出力バッファの動作を説明するための波形図である。

【図 1 7】

有機 E L パネルを用いた表示装置への本発明の適用を説明するための回路図である。

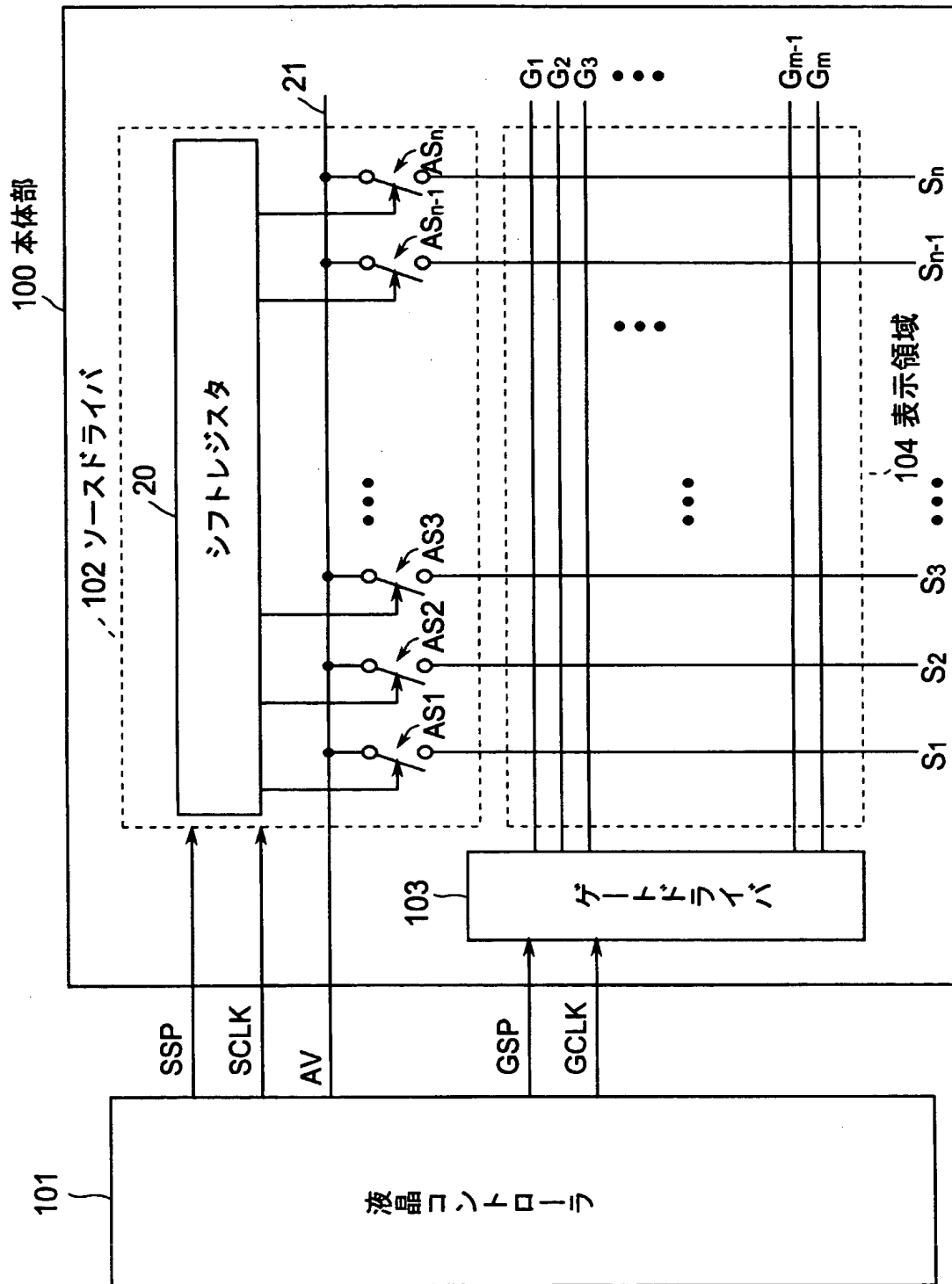
【符号の説明】

|               |                   |
|---------------|-------------------|
| 1 0 1         | …液晶コントローラ         |
| 1 0 2         | …ソースドライバ          |
| 1 0 4         | …表示領域             |
| 1 0 6         | …薄膜トランジスタ (T F T) |
| 1 0 7         | …画素電極             |
| 1 0 8         | …電荷保持容量           |
| 2 0 1         | …タイミングジェネレータ      |
| 2 0 3         | …D / A 変換器        |
| 3 0 3         | …出力バッファ           |
| 3 1 0         | …バイアス回路           |
| A V           | …アナログビデオ信号        |
| S 1 ~ S n     | …ソースバスライン         |
| Q P 0 ~ Q P 3 | …Pチャネルトランジスタ      |
| Q N 0 ~ Q N 3 | …Nチャネルトランジスタ      |
| S P 1 ~ S P 3 | …切換スイッチ (Pチャネル側)  |
| S N 1 ~ S N 3 | …切換スイッチ (Nチャネル側)  |
| S P o n       | …P c h 制御信号       |
| S N o n       | …N c h 制御信号       |

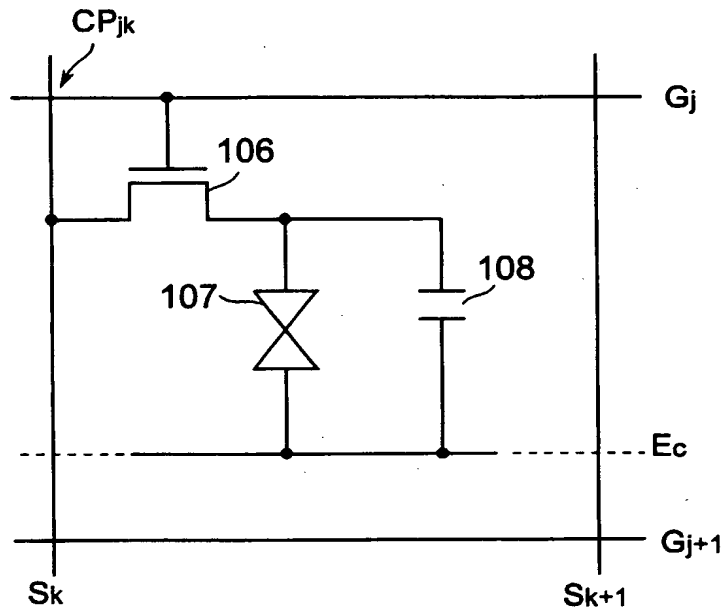


【書類名】 図面

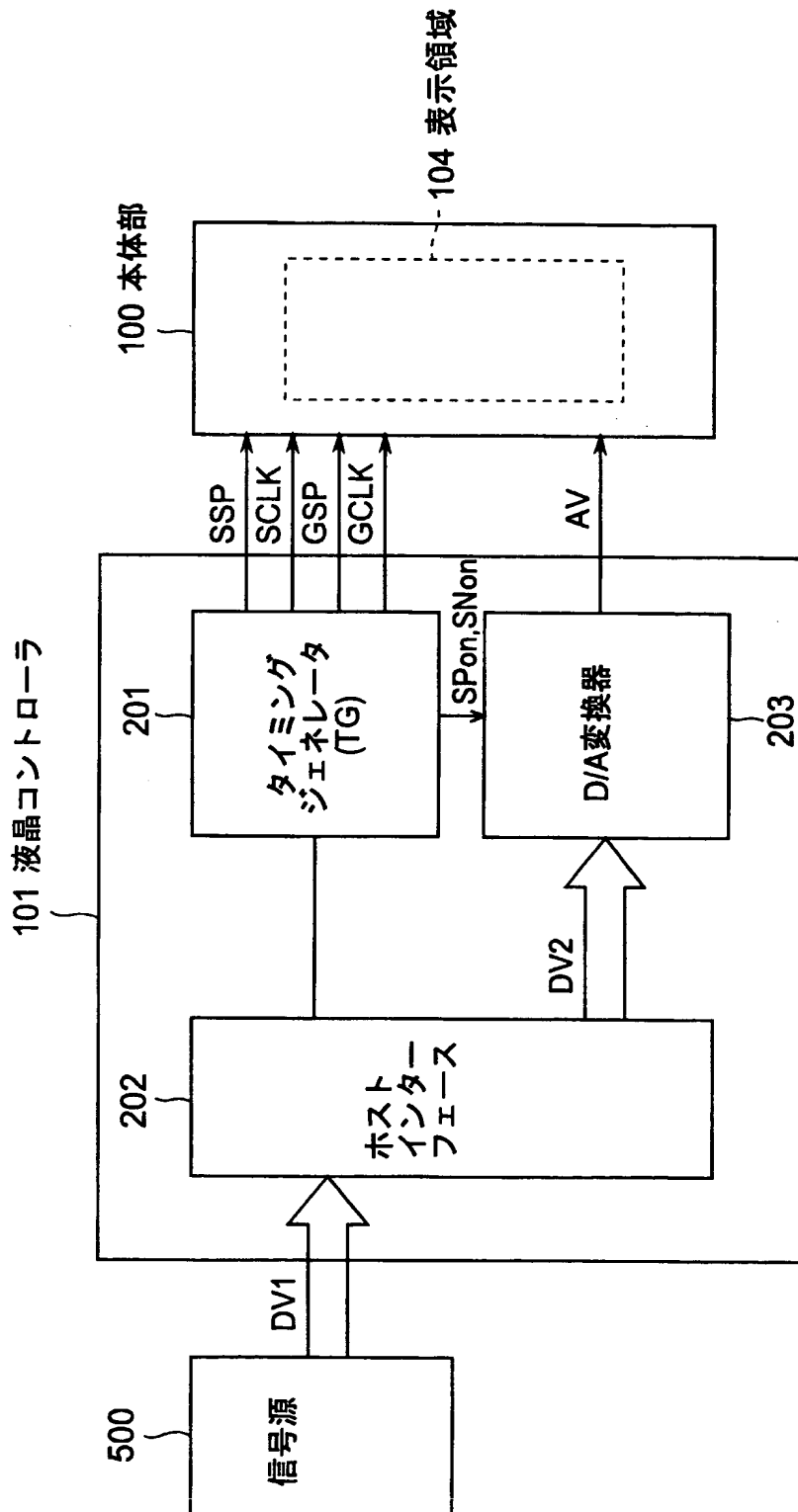
【図 1】



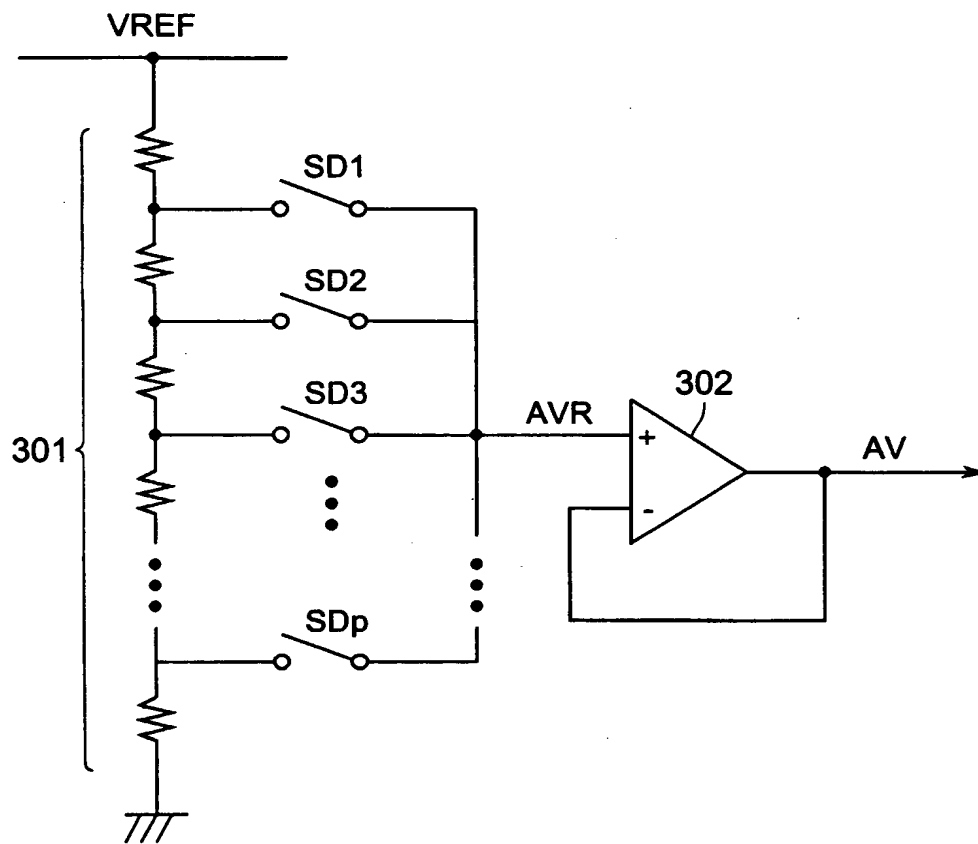
【図 2】



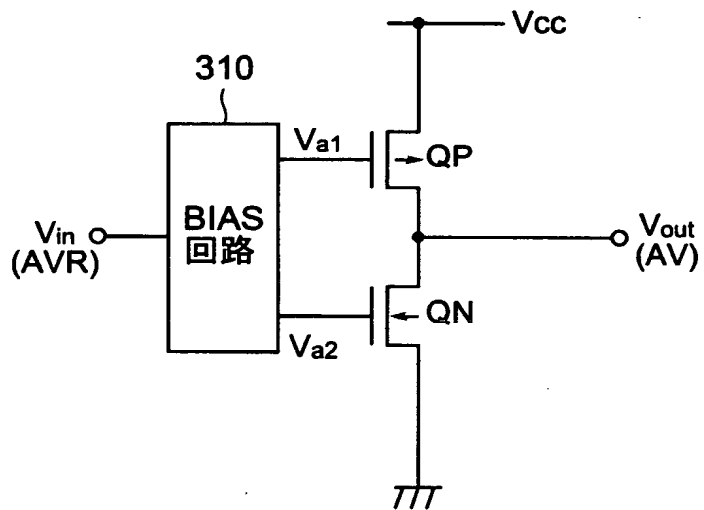
【図 3】



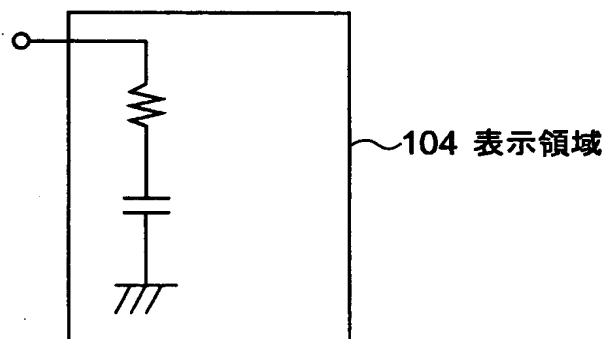
【図 4】



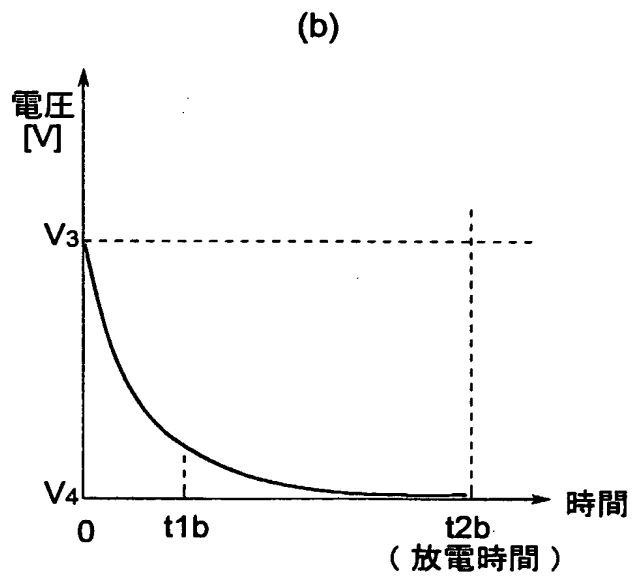
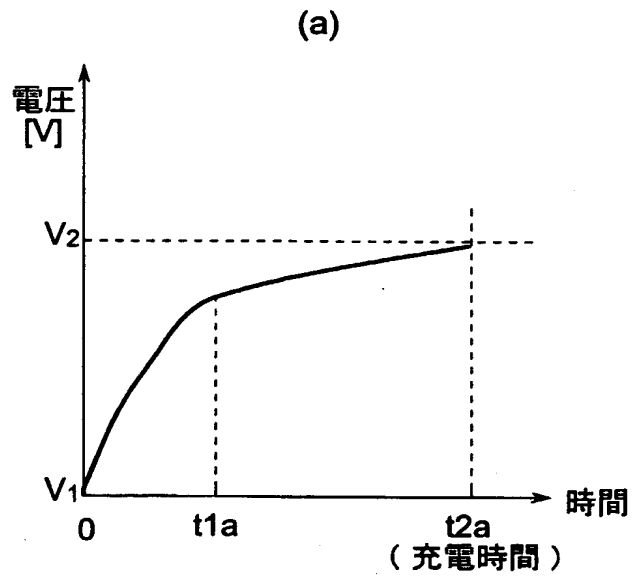
【図 5】



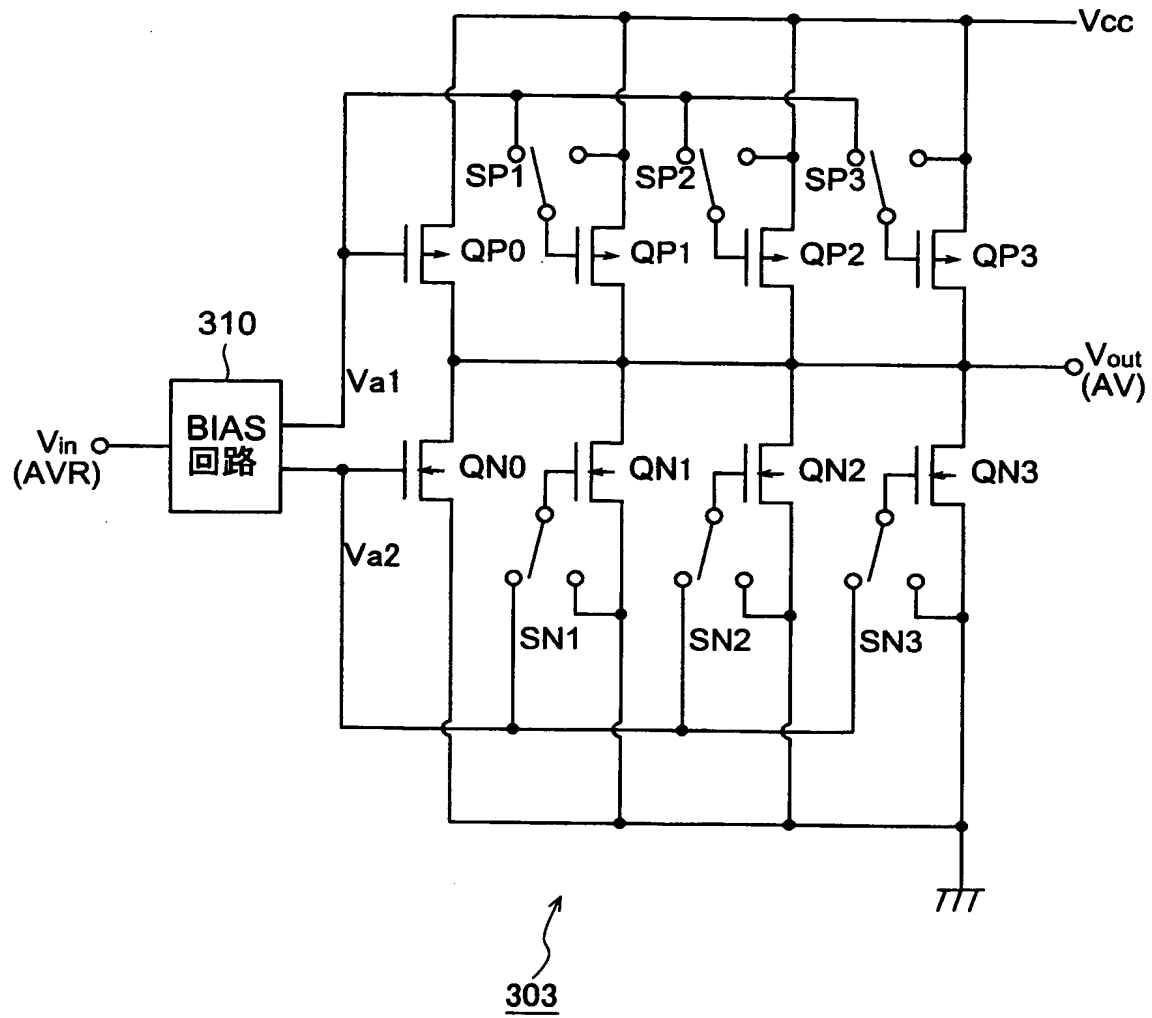
【図 6】



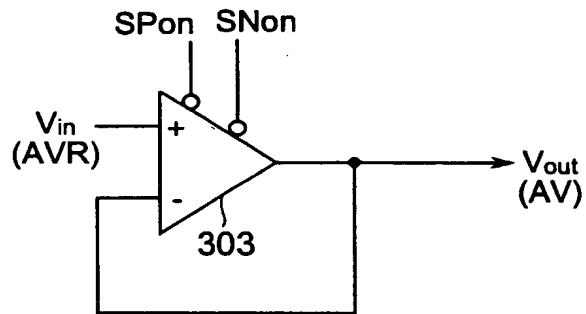
【図 7】



【図 8】

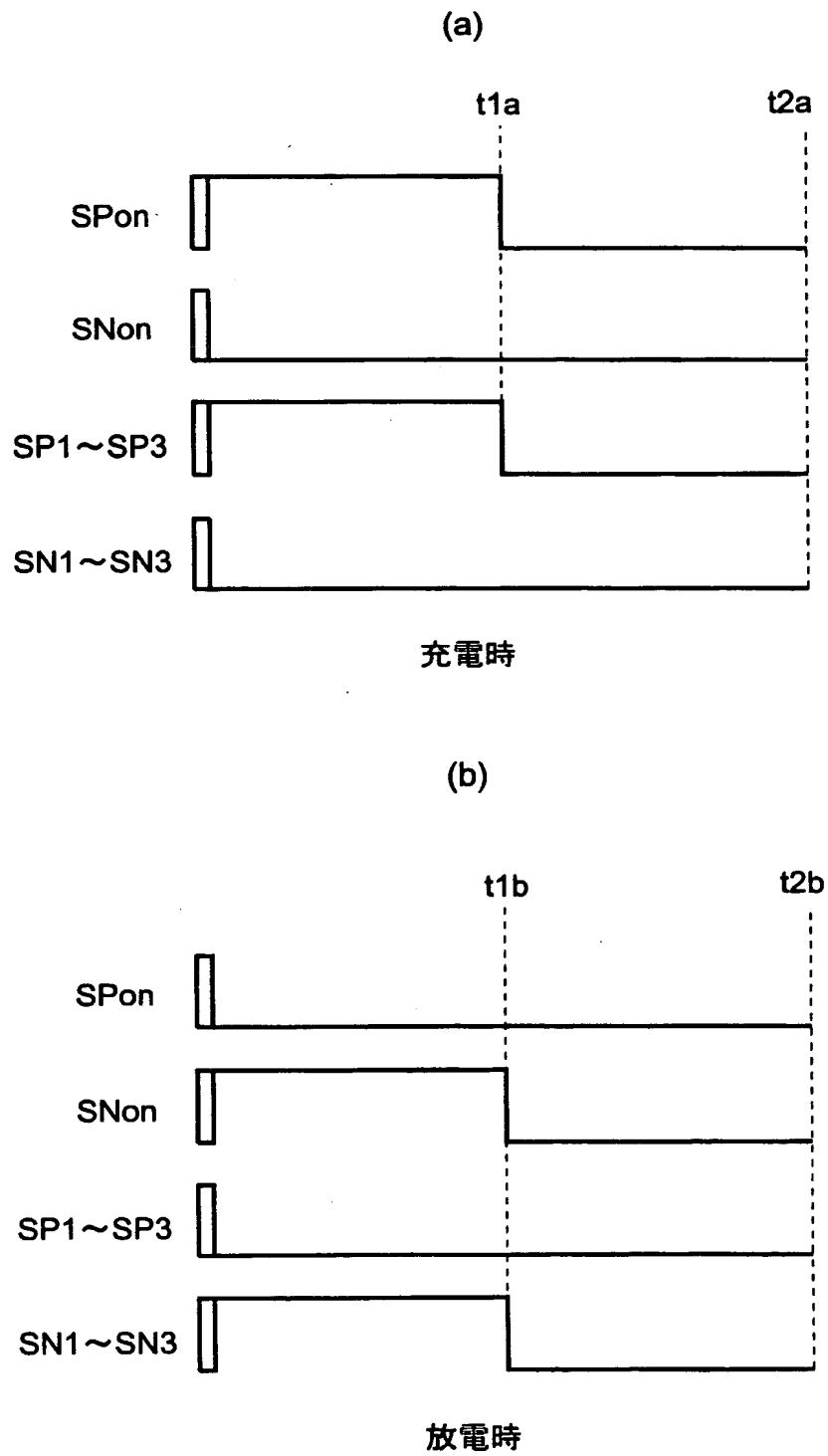


【図 9】

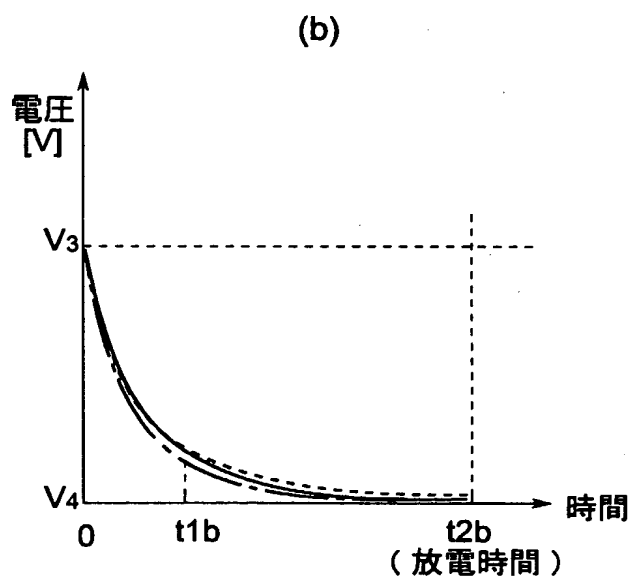
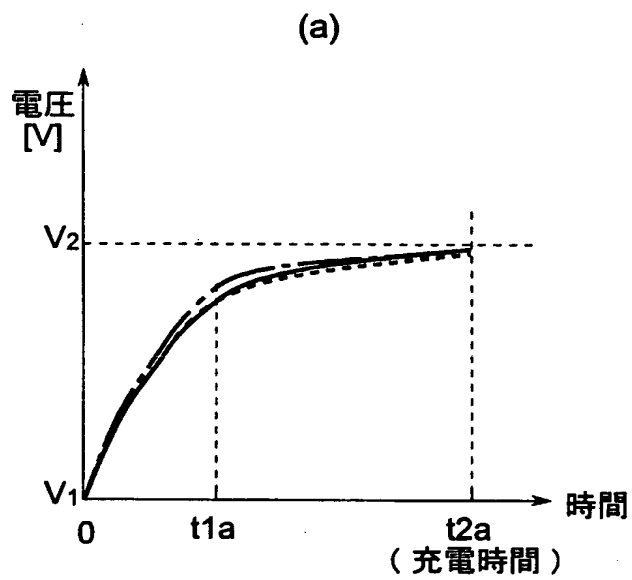




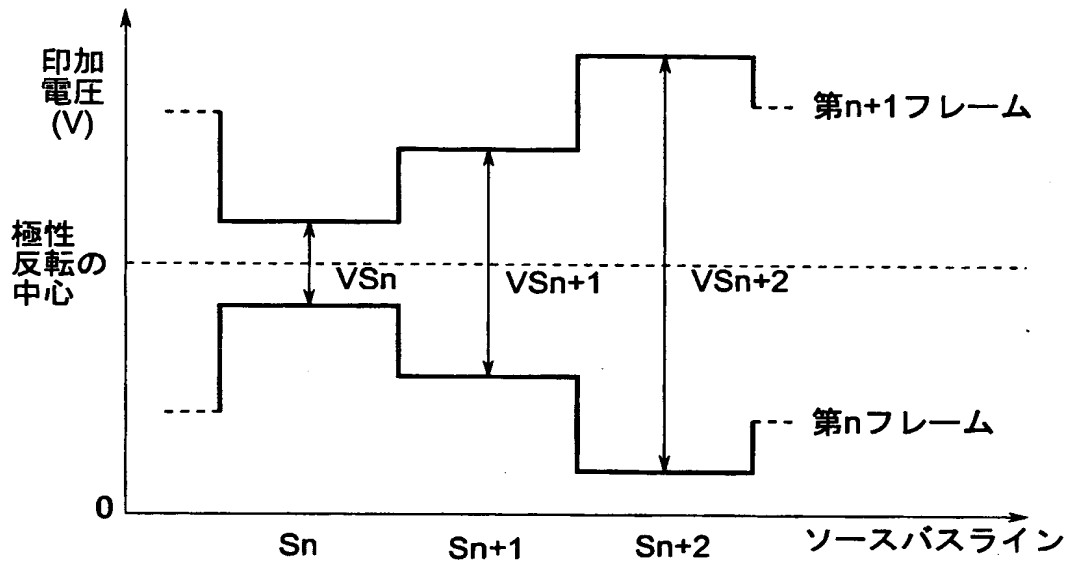
【図 1 0】



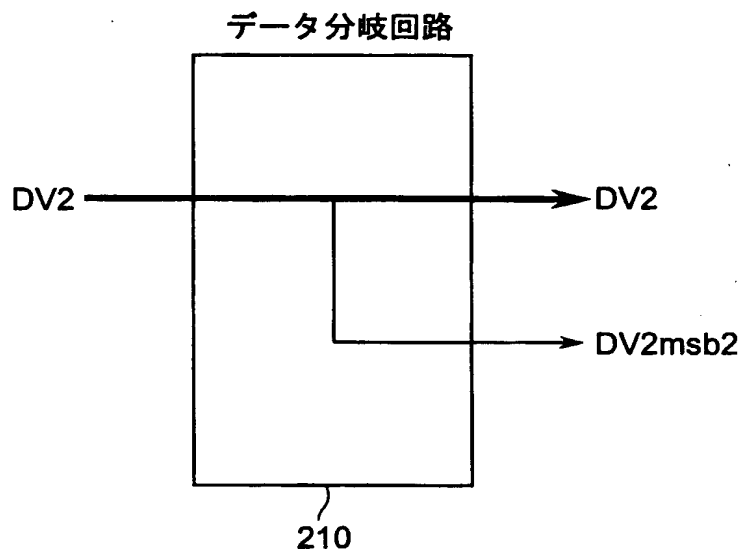
【図 1 1】



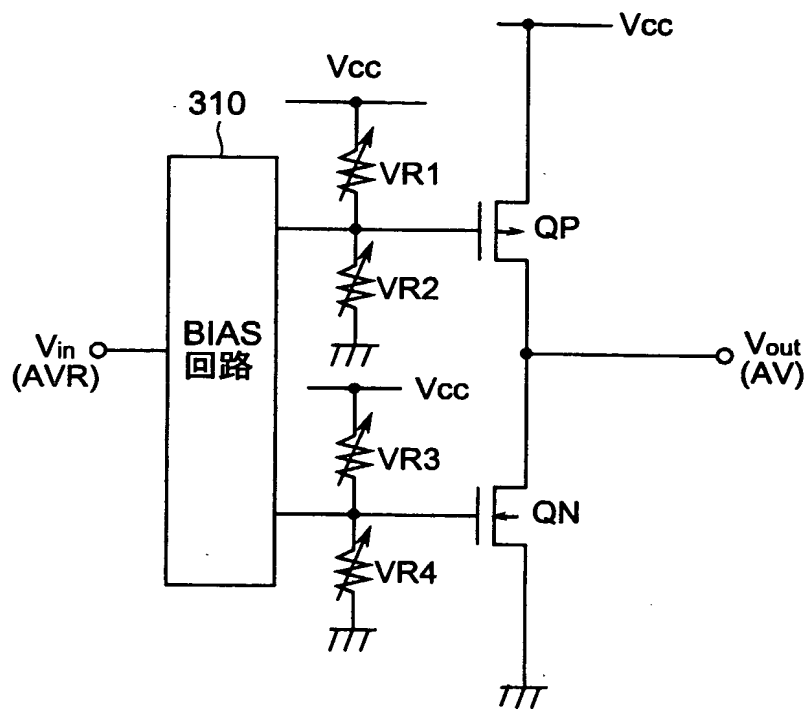
【図 1 2】



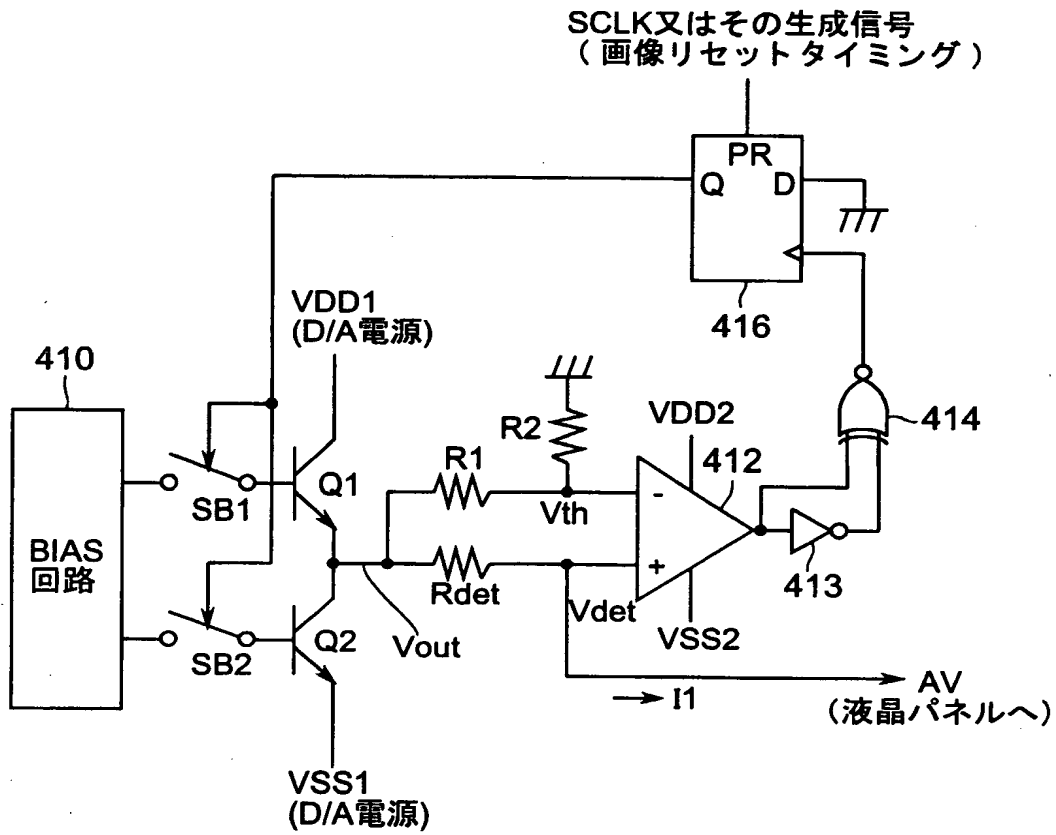
【図 1 3】



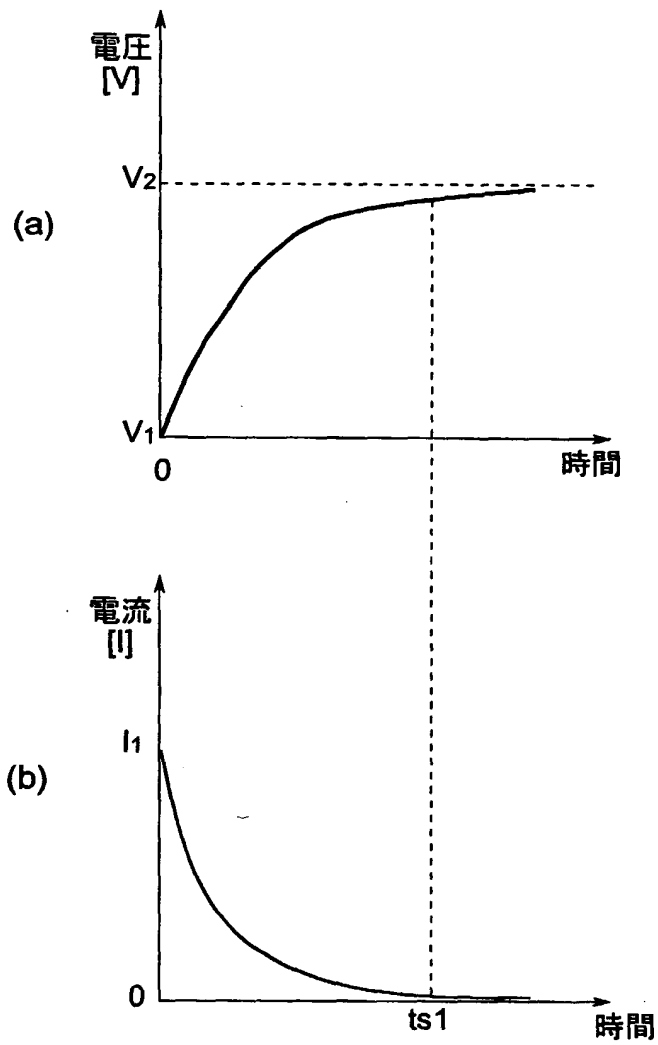
【図 1 4】



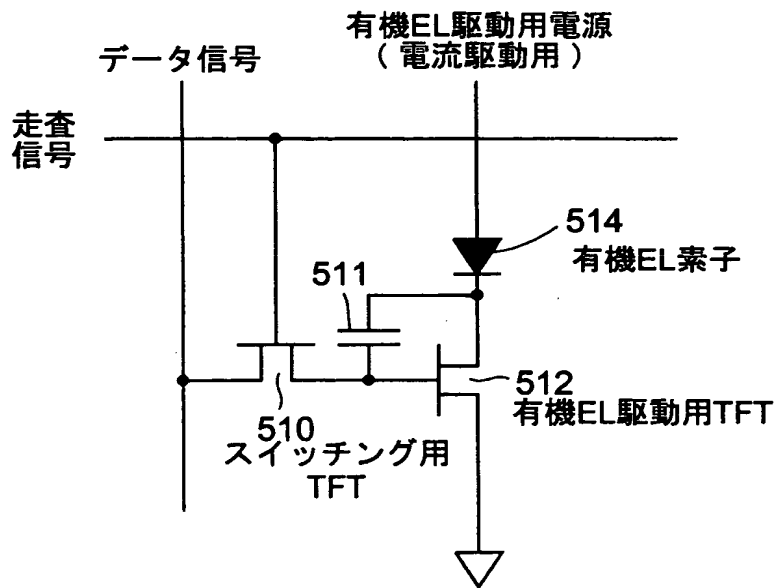
【図 1 5】



【図 1 6】



【図 1 7】



【書類名】 要約書

【要約】

【課題】 画像表示のために表示パネルにおける容量性負荷にアナログ電圧を印加する出力バッファの消費電力を削減する。

【解決手段】 アクティブマトリクス型液晶表示装置の表示領域における画素容量に駆動信号として印加すべきアナログ電圧  $V_{out}$  を出力するバッファにおいて、そのアナログ電圧を生成する CMOS 回路が、互いに並列に接続された 4 個の Pch トランジスタ  $Q_{P0} \sim Q_{P3}$  と、互いに並列に接続された 4 個の Nch トランジスタ  $Q_{N0} \sim Q_{N3}$  とからなる。そして画素容量に対する充電時には切換スイッチ  $SP1 \sim SP3$  を制御することにより、充電開始後において大きな駆動能力を必要としなくなった時点でバイアス電流を低減して駆動能力を下げ、画素容量に蓄積された電荷の放電時には切換スイッチ  $SN1 \sim SN3$  を制御することにより、放電開始後において大きな駆動能力を必要としなくなった時点でバイアス電流を低減して駆動能力を下げる。

【選択図】 図 8



出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日  
[変更理由] 新規登録  
住 所 大阪府大阪市阿倍野区長池町22番22号  
氏 名 シャープ株式会社